

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07177027 A**(43) Date of publication of application: **14.07.95**

(51) Int. Cl.

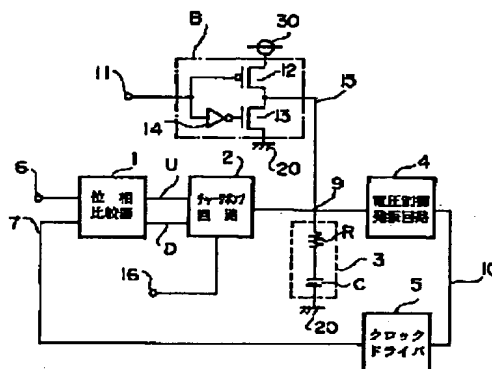
H03L 7/10
H03L 7/089
(21) Application number: **05322755**(22) Date of filing: **21.12.93**(71) Applicant: **MITSUBISHI ELECTRIC CORP**
(72) Inventor: **ISHII SUSUMU**
ISHIBASHI ATSUSHIKO
**(54) PHASE LOCKED LOOP CIRCUIT DEVICE AND
 ITS PHASE COMPARATOR**

(57) Abstract:

PURPOSE: To shorten phase locking time by supplying a bias voltage to the output terminal of a loop filter before an external clock signal is supplied, and preventing a charge pump circuit from being operated.

CONSTITUTION: A bias voltage supply circuit B is provided at the output terminal of the loop filter 3, and when a voltage of low level is supplied to a switch signal 11 before the external clock signal 6 is inputted, voltages in which a power supply voltage is voltage-divided by the on-resistance of transistors (TR) 12, 13 are outputted, which charge the capacitance C of the loop filter 3 in a moment. Thereby, a control voltage added on the input terminal of a voltage controlled oscillation circuit 4 is increased, in a moment, and the oscillation frequency of the circuit 4 can also rise in a short time. After that, an operation is performed by supplying the external clock signal 6. Also, when the bias voltage is supplied, waste current pass can be eliminated by preventing the charge pump circuit 2 from being operated by the input of a control signal 6.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-177027

(43)公開日 平成7年(1995)7月14日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 L 7/10 7/089		9182-5 J 9182-5 J	H 0 3 L 7/ 10 7/ 08	D D

審査請求 未請求 請求項の数6 O L (全 15 頁)

(21)出願番号 特願平5-322755

(22)出願日 平成5年(1993)12月21日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 石井 将

伊丹市瑞原4丁目1番地 三菱電機株式会
社システムエル・エス・アイ開発研究所内

(72)発明者 石橋 敦彦

伊丹市瑞原4丁目1番地 三菱電機株式会
社システムエル・エス・アイ開発研究所内

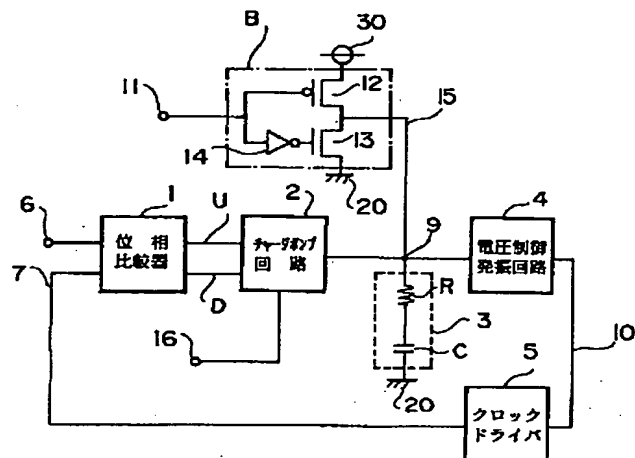
(74)代理人 弁理士 田澤 博昭 (外1名)

(54)【発明の名称】 位相同期ループ回路装置およびその位相比較器

(57)【要約】

【目的】 電圧制御発振回路の制御電圧を電源電圧の1/2程度まで速やかに変化させ、同期時間の短縮を図る。

【構成】 ループフィルタ3の出力端にバイアス電圧を供給するバイアス電圧供給回路Bを設け、チャージポンプ回路2には電荷の供給の可否を切り替える制御信号16を入力可能にする。



3: ループフィルタ
6: 外部クロック信号
7: 内部クロック信号
16: 制御信号
U: アップ信号
D: ダウン信号
R: 抵抗
C: キャパシタンス
B: バイアス電圧供給回路



【特許請求の範囲】

【請求項1】 抵抗およびキャパシタンスからなるループフィルタと、該ループフィルタの出力にตอบสนองして内部同期のための内部クロック信号を発生する電圧制御発振回路と、外部クロック信号と上記電圧制御発振回路からの内部クロック信号との位相差を比較検出する位相比較器と、該位相比較器による比較結果に対応して、通常は上記ループフィルタへ電荷を供給しまたは該ループフィルタから電荷を引き抜き、外部からの制御信号の切り替え入力によって電荷の供給および引き抜きを停止するチャージポンプ回路と、上記外部クロック信号が印加される前に上記ループフィルタに設定レベルのバイアス電圧を供給するバイアス電圧供給回路とを備えた位相同期ループ回路装置。

【請求項2】 ループフィルタを構成する抵抗とキャパシタンスの接続点に、これにバイアス電圧を供給するバイアス電圧供給回路を接続した請求項1に記載の位相同期ループ回路装置。

【請求項3】 抵抗およびキャパシタンスからなるループフィルタと、該ループフィルタの出力にตอบสนองして内部同期のための内部クロック信号を発生する電圧制御発振回路と、外部クロック信号と上記電圧制御発振回路からの内部クロック信号との位相差を比較検出する位相比較器と、通常は該位相比較器による比較結果に対応する信号を出力し、一方、外部からの選択信号の切り替え入力によって上記位相差の比較を行わず、強制的にアップ信号またはダウン信号を出力させ続けるセレクト回路と、該セレクト回路の出力結果に対応して上記ループフィルタへ電荷を供給しまたは該ループフィルタから電荷を引き抜くチャージポンプ回路とを備えた位相同期ループ回路装置。

【請求項4】 外部クロック信号および内部クロック信号を入力するための2つの入力端子と、該入力端子間の位相差を検出して、ループフィルタへ電荷を供給しまたは該ループフィルタから電荷を引き抜くチャージポンプ回路を制御するパルス信号を出力する2つの出力端子とを備えた位相同期ループ回路装置の位相比較器において、上記パルス信号の最初の電位変化を入力信号の変化から伝えている一対の伝達経路上に、夫々2個ずつ直列に挿入されたインバータ回路と、該各対のインバータ回路のうちの1つの遅延を任意の値に設定できるように、上記直列に挿入されたインバータ回路のうちの1つのインバータ回路の出力側に、夫々1つずつ接続された第1のキャパシタンスおよび第2のキャパシタンスと、上記パルス信号の2番目の電位変化を上記入力信号の変化から伝えている伝達経路上に設けられて、2つの2入力NANDゲート、1つの2入力NORゲートおよび1つのインバータ回路からなる複合ゲートにより構成された4入力用のゲート回路と、上記複合ゲートの遅延を任意の値に設定できるように、上記2入力NANDゲート、2



入力NORゲートおよびインバータ回路のうちのいずれか1つに接続された第3のキャパシタンスとを設けたことを特徴とする位相同期ループ回路装置の位相比較器。

【請求項5】 外部クロック信号および内部クロック信号を入力するための2つの入力端子と、該入力端子間の位相差を検出して、ループフィルタへ電荷を供給しまたは該ループフィルタから電荷を引き抜くチャージポンプ回路を制御するパルス信号を出力する2つの出力端子とを備えた位相同期ループ回路装置の位相比較器において、上記パルス信号の最初の電位変化を入力信号の変化から伝えている一対の伝達経路上に、夫々2個ずつ直列に挿入されたインバータ回路と、上記パルス信号の2番目の電位変化を上記入力信号の変化から伝えている伝達経路上に設けられて、2つの2入力NANDゲート、1つの2入力NORゲートおよび1つのインバータ回路からなる複合ゲートにより構成された4入力用のゲート回路と、上記一対のインバータ回路のうちの1つの遅延および上記複合ゲートの遅延を、次段のゲートにおいて、電位変化を受けてオフへと変化する側のトランジスタサイズの調整によるゲート容量変化により、任意に調整可能にするゲート回路とを備えた位相同期ループ回路装置の位相比較器。

【請求項6】 外部クロック信号および内部クロック信号を入力するための2つの入力端子と、該入力端子間の位相差を検出して、ループフィルタへ電荷を供給しまたは該ループフィルタから電荷を引き抜くチャージポンプ回路を制御するパルス信号を出力する2つの出力端子とを備えた位相同期ループ回路装置の位相比較器において、上記パルス信号の最初の電位変化を入力信号の変化から伝える一対の第1の伝達経路を介して接続された各一の3入力NANDゲートと、上記パルス信号の2番目の電位変化を上記入力信号の変化から伝える第2の伝達経路を介して接続された4入力NANDゲートと、該4入力NANDゲートに対して直接および複数のインバータ回路からなる遅延手段を介して接続されて、外部からの選択信号の入力により、上記4入力NANDゲートの出力または該出力を上記遅延手段を通した出力を上記各一の3入力NANDゲートへ選択的に入力するセレクト回路とを設けたことを特徴とする位相同期ループ回路装置の位相比較器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体集積回路装置として構成される位相同期ループ回路装置およびその位相比較器に関するものである。

【0002】

【従来の技術】図12は例えばアイイーイーイー ジャーナル オブ ソリッドステート サーキット (IEEE Journal of Solid-State Circuits), vol. SC-22, No. 2,

4月1987 pp 255-261に示された従来の位相同期ループ回路装置を示すブロック図であり、図において、1は位相比較器であり、これが位相同期の基準となる外部クロック信号6とクロックドライバ5から与えられる内部クロック信号7の立ち上がり位相を比較して、同期していない場合にアップ信号Uまたはダウン信号Dのいずれかを出力する。

【0003】また、2はチャージポンプ回路であり、これがアップ信号Uまたはダウン信号Dを受けてそれぞれプラスまたはマイナスの電荷を出力する。3はループフィルタであり、これがチャージポンプ回路2の出力9を平滑化し、蓄積する。このループフィルタ3は、抵抗RおよびキャパシタンスCを備える。さらに、4は電圧制御発振回路であり、これがループフィルタ3の出力電圧（以下、制御電圧という）に応じて発振周波数を変える。クロックドライバ5は、電圧制御発振回路4から出力される発振信号10を所望のデューティ比に生成し、集積回路内部に供給する。

【0004】また、図13は電圧制御発振回路4の入力電圧に対する発振周波数の関係を示し、図14はチャージポンプ回路2の回路構成例を示し、図15は位相同期中の位相同期ループ回路の発振周波数の時間変化を示している。図16は外部クロック信号6を入力する前後の位相同期ループ回路装置の動作を示す簡単なタイミングチャートである。図において、aは外部クロック信号、bは内部クロック信号、cは制御電圧を示している。

【0005】次に動作について説明する。電圧制御発振回路4はループフィルタ3の出力信号として得られる制御電圧にしたがって発振周波数の異なった信号を出力する。外部クロック信号6が入力される以前は位相同期ループ回路装置は非動作状態とされ、電圧制御発振回路4は自走発振を行なっている。図13に示すように制御電圧が上昇すると、その発振周波数は高くなり、また制御電圧が下降すると、その周波数も低くなる。

【0006】この図13の例から分かるように、制御電圧の低い領域と高い領域において発振周波数は制御電圧に比例していない。位相同期ループ回路装置の周波数安定性を得るためには、電圧制御発振回路4の制御電圧対周波数特性の直線性のよいことが要求される。そこで通常は、発振周波数がほぼ線形に変化する制御電圧の領域、すなわち電源電圧の約1/2で目標とする周波数の内部クロック信号7を発振させるように設計する。

【0007】位相比較器1は外部クロック信号6と内部クロック信号7との位相および周波数を比較し、アップ信号Uおよびダウン信号Dを出力する。この場合、比較する周波数差または位相差に応じてアップ信号Uおよびダウン信号Dのパルス幅が変化する。

【0008】チャージポンプ回路2は、例えば図14に示すような回路構成であり、位相比較器1からの出力であるアップ信号Uまたはダウン信号Dを受けて、パルス

幅に応じた正または負の電荷をループフィルタ3へ供給する。

【0009】ループフィルタ3は抵抗RとキャパシタンスCとで構成され、抵抗RとキャパシタンスCで決まる時定数により、チャージポンプ回路2からの電荷の供給を平滑化して出力する。このため出力である制御電圧は急には変化せず、徐々に変化する。

【0010】このような構成の位相同期ループ回路装置に外部クロック信号6が入力されると、位相比較器1で外部クロック信号6と内部クロック信号7の周波数を比較する。この場合では外部クロック周波数よりも内部クロック周波数の方が低いのでアップ信号を出力する。これを受けてチャージポンプ回路2はループフィルタ3に電荷を供給する。

【0011】このため、正の電荷の供給により、徐々に制御電圧が上昇する。これを受けて電圧制御発振回路4は発振周波数を徐々に上昇させる。この様子は図15および図16に示す通りであり、このような過程を繰り返す、ついには内部クロック信号7と外部クロック信号6の周波数および位相は一致する。

【0012】そして、この状態では、チャージポンプ回路2がループフィルタ3に供給する電荷量はごく僅かである。さらにこの電荷量がループフィルタ3で積分されると、出力である制御電圧はほとんど変化せずに、ほぼ一定となる。このため電圧制御発振回路4は周波数および位相が一致した内部クロック信号7を出力し続け、その同期状態を維持する。

【0013】次に、位相同期ループ回路装置などで使用されている、従来の位相比較器の回路構成について説明する。図17は、例えばアイイーイーイー ジャーナル オブ ソリッドステート サーキット (IEEE Journal of Solid-State Circuits), vol. SC-22, No. 2, 4月1987 pp 255-261に示された従来の一般的な位相比較器1を示す回路図であり、図において、21~26はゲートとしての2入力NANDゲート、27はゲートとしての4入力NANDゲート、28、29はゲートとしての3入力NANDゲート、66~69はインバータ回路である。

【0014】上記NANDゲート21、26の一方の入力端のそれぞれには、入力端子35、36が接続され、それぞれ外部クロック信号6、内部クロック信号7が与えられる。NANDゲート28、29のそれぞれの出力端は、出力端子37、38が接続され、これらの出力端子37、38には、それぞれアップ信号Uおよびダウン信号Dが与えられ、いずれもチャージポンプ回路（図示せず）に接続される。

【0015】これによれば、位相比較器1は、入力端子35、36に与えられた各信号の位相を比較し、その位相差に応じたパルス幅のパルス信号を出力端子37また

は38に出力する。そして、内部クロック信号7が遅れているときにはアップ信号Uが、内部クロック信号7が進んでいるときにはダウン信号Dが、位相差に関係したパルス信号として出力される。

【0016】図17に示した、インバータ回路66~69が挿入された位相比較器1の場合、入力される2つのクロックの間の位相差が接近するにつれ、位相差に応じたパルスがある値から変化しなくなる、いわゆる不感域が生じるという問題があった。このため、位相比較器1の回路構成については、不感域を生じさせないように、回路を工夫する必要がある。

【0017】図18は、例えば特公昭58-43932号公報に記載されている、不感域の発生を防止した位相比較器1を示す回路図であり、図において、40は遅延手段であり、この遅延手段40はインバータ回路41~44で構成され、その他の回路部分は図17と同一である。

【0018】この構成例では遅延手段40を挿入することによって、不感域を解消している。以下にその理由を説明する。図19は、端子35に与えられる電位（即ち外部クロック信号6）、端子36に与えられる電位（即ち内部クロック信号7）、ゲート21、26、27、28、29の出力の電位の相互の関係を示すタイミングチャートである。

【0019】図19の説明に先立ち、まず外部クロック信号6、内部クロック信号7のいずれもがロー状態にある場合を考える。この場合には、ゲート21、26はいずれも必ずハイ状態を出力する。仮にゲート22、25の出力がハイ状態であった場合には、ゲート27の出力がローとなり、ゲート23、24の出力はハイ状態になって結局ゲート22、25の出力はロー状態となる。

【0020】このため、ゲート28、29の出力は、外部クロック信号6、内部クロック信号7のいずれもがロー状態にある限り、常にハイ状態を出力することがわかる。このような状態の後、外部クロック信号6、内部クロック信号7がハイ状態に転じれば、ゲート21、26はロー状態になり、ゲート22、25はハイ状態を出力することとなる。

【0021】この後、図19に示すように、まず外部クロック信号6が立ち下がり、続いて内部クロック信号7が位相T1だけ遅れて立ち下がる場合を説明する。外部クロック信号6の立ち下がりを受けてゲート21の出力はハイ状態に転じるが、内部クロック信号7はハイ状態のままなので、ゲート26の出力はロー状態のままである。またゲート27の出力はハイ状態から変わらないため、ゲート28の出力はロー状態へと変化する。一方、ゲート29の出力はハイ状態のままである。

【0022】次いで内部クロック信号7が立ち下がると、ゲート26の出力はハイ状態に転じ、ゲート27の4つの入力は全てハイ状態となってゲート27の出力は

ロー状態へと変化する。その結果、ゲート28の出力はロー状態から再びハイ状態へと変換し、外部クロック信号6と内部クロック信号7の位相差を反映したパルス信号を出力する。

【0023】一方、ゲート29の出力は、ゲート26の出力がハイ状態に変わるのを受けてロー状態に転じるが、ゲート26の出力を受けたゲート27が出力をロー状態へと変換するためにすぐにハイ状態に戻る。このためゲート29の出力は、外部クロック信号6と内部クロック信号7の位相差とは無関係に一定の幅のパルス信号を出力する。

【0024】以上から、アップ信号U、ダウン信号Dのうち、位相差を検出している方のパルスの幅は、ゲート21（またはゲート26）よりゲート27を経由してゲート28（またはゲート29）へ至る経路の遅延値とゲート21（またはゲート26）より直接ゲート28（またはゲート29）へ至る経路の遅延値との差に、外部クロック信号6と内部クロック信号7の位相差T1を加えた値になり、他方のパルスの幅は、上記2つの経路の遅延値の差の値になることがわかる。

【0025】従って、ゲート21（またはゲート26）より直接ゲート28（またはゲート29）へ至る経路の遅延がゲート27を経由する経路の遅延よりも大きい時には、位相差を検出している方のパルスの幅が位相差T1より小さくなる結果、アップ信号U（またはダウン信号D）が発生しない場合が起こり、不感域となる。

【0026】このことから、図18に示す構成例では遅延手段40をゲート27の出力側に挿入する方法で、ゲート27を経由する経路の遅延を大きくし、位相比較器1の不感域の発生を防止している。

【0027】

【発明が解決しようとする課題】従来の位相同期ループ回路装置は以上のように構成されているので、外部クロック信号6が入力されない状態では制御電圧は例えば0Vというような低電圧になっている。なぜならば、外部クロック信号6が入力されないかぎり位相比較器1はダウン信号出力を持続し、したがってチャージポンプ回路2はループフィルタ3のキャパシタンスCから電荷を引き抜き続け、制御電圧を減少させるからである。一方、外部クロック周波数に相当する制御電圧は、例えば前記したように電源電圧の1/2程度の値である。

【0028】このため外部クロック信号6に同期させるためには制御電圧を低電圧から電源電圧の1/2程度にまで変化させなければならないが、前記のように制御電圧は徐々に変化するために、外部クロック周波数に相当する制御電圧に到達し収束するまでに時間がかかるなどの問題点があった。

【0029】さらに、位相同期ループ回路装置の機能テストを行なう際には、位相同期ループ回路装置を搭載しない回路のテスト時とは異なり、最初に内部クロック信

号7をテストクロック信号に同期させなければならない。内部クロック信号7をテストクロック信号に同期させるまでの期間に位相同期ループ回路装置の機能テストを行なえないのは明らかであり、同期させるまで外部クロックパターンを与え続けなければならない。このように機能テストパターンの前に長大なクロックパターンが必要となり、パターン数の増加に伴うパターンメモリの増大の要因となるなどの問題点があった。

【0030】また、従来の不感域の発生を防止した位相比較器1においては、遅延手段40が偶数個のインバータ回路41～44より構成されるため、遅延手段40の遅延値を任意に調整できず、この結果、ゲート27を経由する経路と直接ゲート28（またはゲート29）へ至る経路との遅延差は大きな値になる可能性があった。

【0031】このように、遅延差が大きいことにより、アップ信号U、ダウン信号Dのパルス幅は、検出すべきクロックの位相差に比べ広くなり、しかも同時に出力されるため、チャージポンプ回路2に印加されたとき、ループフィルタ3に供給される電荷量よりも、チャージポンプ回路2内部を貫通する電荷量の方が支配的となり、ループフィルタ3の入力電位を電源電圧の1/2程度の電位に固定してしまい、位相同期ループ回路が制御するクロックの位相を狂わせてしまうなどの問題点があった。

【0032】請求項1の発明は、外部クロック信号が印加される前にバイアス電圧の入力によって制御電圧を外部クロック周波数に相当するレベルに速やかに到達させることにより、同期時間の短縮化を実現できるとともに、バイアス電圧供給時のチャージポンプ回路における無駄な電流パスをなくして、制御電圧を効率的に上昇させることができる位相同期ループ回路装置を得ることを目的とする。

【0033】請求項2の発明は、バイアス電圧をループフィルタのキャパシタンスに直接供給することによって、制御電圧を外部クロック周波数に相当するレベルにさらに速やかに到達させることができる位相同期ループ回路装置を得ることを目的とする。

【0034】請求項3の発明は、セレクト回路にて選択したローレベルの電位またはハイレベルの電位によってチャージポンプ回路の動作を強制的に制御することで、速やかに電圧制御発振回路の発振周波数を外部クロック周波数付近に到達させて、位相同期完了までの期間を大幅に短縮させることができる位相同期ループ回路装置を得ることを目的とする。

【0035】請求項4の発明は、位相不感域の発生を防止するとともに、次段のチャージポンプ回路内部を貫通する電荷量を抑えることができる位相同期ループ回路装置を得ることを目的とする。

【0036】請求項5の発明は、2つの出力端子側に設けられたゲート回路を構成するトランジスタのサイズを

調整することで、アップ信号、ダウン信号がロー状態やハイ状態へ遷移する速さを変えずに、その遷移するタイミングを調整できる位相同期ループ回路装置の位相比較器を得ることを目的とする。

【0037】請求項6の発明は、ループフィルタの入力電位を電源電圧の1/2に固定することで、同期時間の短縮化を図れる位相同期ループ回路装置の位相比較器を得ることを目的とする。

【0038】

10 【課題を解決するための手段】請求項1の発明に係る位相同期ループ回路装置は、ループフィルタの出力端にバイアス電圧を供給するバイアス電圧供給回路を備え、チャージポンプ回路には電荷の供給の可否を切り替える制御信号を入力可能にしたものである。

【0039】請求項2の発明に係る位相同期ループ回路装置は、ループフィルタを構成する抵抗とキャパシタンスの接続点にバイアス電圧を供給するバイアス電圧供給回路を設けたものである。

20 【0040】請求項3の発明に係る位相同期ループ回路装置は選択信号の入力により強制的にチャージポンプ回路に入るアップ信号またはダウン信号を切り替える選択回路を設けたものである。

【0041】請求項4の発明に係る位相比較器は、位相差を検出し出力されるパルス信号の電位変化において、最初の変化を入力信号の変化より伝える一対の伝達経路上に、インバータ回路を夫々2個直列に挿入し、かつ上記インバータ回路のうち夫々1つの遅延を任意の値に設定できるよう、第1および第2のキャパシタンスを上記インバータ回路のうち夫々1つに1つずつ接続するとともに、上記パルス信号の2番目の変化を上記入力信号の変化より伝える伝達経路上のゲート回路を、2入力NANDゲート、2入力NORゲート、インバータ回路からなる複合ゲート群で構成し、かつ上記複合ゲート群のうち1つの遅延を任意の値に設定できるよう、第3のキャパシタンスを上記複合ゲート群のうちの1つに接続したものである。

30 【0042】請求項5の発明に係る位相比較器は、一対のインバータ回路のうちの一つの遅延および複合ゲートの遅延を、トランジスタサイズの調整によるゲート容量変化により任意に選択可能にするゲート回路を、出力端子側に設けたものである。

【0043】請求項6の発明に係る位相比較器は、外部クロック信号と内部クロック信号との位相差を比較検出する回路において、選択信号の切り替えによって、4入力NANDゲートの出力を直接に、または遅延手段を介して出力側の3入力NANDゲートに選択的に入力可能にしたものである。

【0044】

50 【作用】請求項1の発明における位相同期ループ回路装置は、外部クロック信号を与える以前に、ループフィル

タの出力端にバイアス電圧を与えると共に、チャージポンプ回路を動作させないようにして、バイアス電圧の低下を防ぎ、より速く制御電圧を所望の値にまで変化させる。

【0045】請求項2の発明における位相同期ループ回路装置は、ループフィルタを構成する抵抗とキャパシタンスの接続点にバイアス電圧を与えることで、制御電圧の上昇をさらに効率化、迅速化する。

【0046】請求項3の発明における位相同期ループ回路装置は、外部クロック信号を与える以前に、位相比較器の出力であるアップ信号およびダウン信号の両信号を強制的にチャージポンプ回路に入力することにより、制御電圧を速やかに変化させる。

【0047】請求項4の発明における位相比較器は、出力パルス信号が、2つの入力信号うち進相となる方の信号変化が出力端子に伝わる途中で、2個直列に挿入されたインバータ回路および第1または第2のキャパシタンスにより所定の第1の値に遅延されて、上記出力パルス信号の最初の電位変化が与えられ、上記2つの入力信号のうち遅相となる方の信号変化が出力端子に伝わる途中で、複合ゲート群および第3のキャパシタンスにより所定の第2の値に遅延されて、上記出力パルス信号の2番目の電位変化が与えられ、出力パルス信号の幅を正確に上記入力信号の位相差と等しくする。

【0048】請求項5の発明における位相比較器は、出力端子側にもうけられたゲート回路および複合ゲート回路を構成するトランジスタサイズの調整によって、アップ信号、ダウン信号の状態遷移の速さを変えずに、その遷移のタイミングのみを調整可能にする。

【0049】請求項6の発明における位相比較器は、遅延回路の挿入によって、アップ信号およびダウン信号のパルス幅を広くし、ループフィルタへ供給する電荷量および引き抜く電荷量とともに多くして、ループフィルタの入力電位をほぼ電源電圧の1/2へと変え、位相同期ループ回路の同期時間を短縮する。

【0050】

【実施例】

実施例1. 以下、請求項1の発明の一実施例を図について説明する。図1において、1は位相比較器、2はチャージポンプ回路、3はループフィルタ、4は電圧制御発振回路、5はクロックドライバである。6は外部から供給される外部クロック信号、7はチップ内部より帰還される内部クロック信号、UおよびDはそれぞれ位相比較器1から出力されるアップ信号およびダウン信号である。

【0051】また、9はチャージポンプ回路の出力、10は電圧制御発振回路4の発振信号、BはPMOSトランジスタ12、NMOSトランジスタ13、インバータ回路14により構成されたバイアス電圧供給回路、11はバイアス電圧供給回路Bの選択/非選択を決める切り

替え信号、15はバイアス電圧供給回路Bの出力で、チャージポンプ回路の出力端子に接続される。なお、各トランジスタ12、13のトランジスタサイズは目標とする周波数によって最適化させることができる。16はチャージポンプ回路2を動作/非動作とする制御信号である。

【0052】図2は外部クロック信号6を入力する前後の位相同期ループ回路装置の位相同期の様子を示すタイミングチャートであり、図2において、(a)は外部クロック信号、(b)は内部クロック信号、(c)は制御電圧、(d)はバイアス電圧供給回路の切り替え信号を示している。

【0053】次に動作について説明する。この実施例の位相同期ループ回路装置では、ループフィルタ3の出力端にバイアス電圧供給回路Bが設けられており、外部クロック信号6を入力する前に、図2(d)のように切り替え信号11にローレベルの電圧が与えられると、各トランジスタ12、13のオン抵抗で電源電圧が分圧された電圧が出力され、ループフィルタ3のキャパシタンスに瞬時に充電される。これによって、図2(c)のように電圧制御発振回路4の入力端に加えられる制御電圧も瞬時に上昇する。この制御電圧の値はこの位相同期ループ回路装置の動作周波数あるいはテスト周波数に対応する制御電圧に近い値とする。逆にいえば、所望の電圧レベルになるように、バイアス電圧供給回路B中のトランジスタ12、13のサイズを決めておく。このような回路構成であれば電源電圧の他に特別に電源を用意する必要はない。

【0054】このような回路構成をとることにより、図2(a)および(b)に示すように電圧制御発振回路4の発振周波数は短時間で動作周波数あるいはテスト周波数での位相収束時に対応する周波数の近傍にまで立ち上がる。この後で切り替え信号11をハイレベルの電圧にして位相同期ループ回路装置のループから切り離し、外部クロック信号6を与えて従来の位相同期ループ回路装置の動作を行なう。

【0055】また、上記回路においては、バイアス電圧供給回路Bの出力を与えるときでも、依然としてチャージポンプ回路2は動作を行なっている。これは上記したように、外部クロック信号6が入力されない時は位相比較器1はダウン信号Dを出力し続けており、その信号を受けるチャージポンプ回路2のNMOSトランジスタS2がオン状態を続けているからである。

【0056】つまり、出力9の出力端子にバイアス電圧を供給する場合、チャージポンプ回路2側のパスを通して電流が流れ、効率的に制御電圧を上昇させることができない可能性がある。そこでバイアス電圧を与える時に、制御信号16の入力により定電流源回路19、19間のPMOSトランジスタS1、NMOSトランジスタS2の両方をオフにして、チャージポンプ回路2を動作

させないようにして、無駄な電流パスをなくすようにする。

【0057】この結果、図2に示すように従来と比較して制御電圧Cの変化が速くなる。こうして制御電圧Cを上昇させた後、制御信号16をローレベルの電圧にし、切り替え信号11をハイレベルの電圧にして位相同期ループ回路装置のループから切り離し、外部クロック信号6を与えて従来の位相同期ループ回路装置の動作を行なう。これによれば、さらに速い制御電圧の立上げを実現できる。

【0058】実施例2. 図4は請求項2の発明の他の実施例を示し、これが図1と異なるところは、ループフィルタ3を構成する抵抗RとキャパシタンスCを接続するノード9aにバイアス電圧を供給し、なおかつチャージポンプ回路2を動作/非動作させる制御信号16を持つ点である。

【0059】この実施例によれば、まず、バイアス電圧を、抵抗Rを介さず、直接キャパシタンスCに充電することによってノード9aの電圧を高速に上昇させ、ひいては制御電圧をより高速に上昇させる。

【0060】さらにバイアス電圧を与える時にチャージポンプ回路2を作動させないように、これを制御信号によって非動作とすることで、無駄な電流パスをなくすようにする。このようにして制御電圧を効率的に上昇させた後、切り替え信号11をハイレベルの電圧にして位相同期ループ回路装置のループから切り離し、外部クロック信号6を与えて従来の位相同期ループ回路装置の動作を行なう。これにより、制御電圧のさらに速やかな立ち上げを実現できるとともに、同期時間の大幅な短縮を図ることができる。

【0061】実施例3. 図5は請求項3の発明の一実施例を示し、ここでは位相比較器1とチャージポンプ回路2との間にセレクト回路17a, 17bを設けている。

【0062】位相比較器1から出力されるアップ信号Uおよびダウン信号Dをそれぞれセレクト回路17a, 17bの1つの入力とし、もう1つの入力は、それぞれ強制的にアップ信号Uとダウン信号Dがチャージポンプ回路2に入力されるように設定する。そして、セレクト回路17a, 17bの出力をチャージポンプ回路2に入力する。例えば図14に示す構成のチャージポンプ回路2であるとすれば、アップ信号Uがローレベルの時にループフィルタ3に電荷の供給を行なって上記出力9の電圧を上昇させるが、ハイレベルの時には非動作である。またダウン信号Dがハイレベルの時にはループフィルタ3から電荷の引き抜きを行なって上記出力9の電圧を減少させるが、ローレベルの時には非動作である。この場合は、アップ信号Uと共にセレクト回路17aに入る信号はローレベルの電圧である接地電位20を、ダウン信号Dと共にセレクト回路17bに入る信号はハイレベルの電圧である電圧供給源30の電圧を設定する。18は

選択信号で、これが2つのセレクト回路17a, 17bに接続され、入力信号の選択を行なう。

【0063】図6は図5に示したセレクト回路17a, 17bの詳細を示す回路図であり、これらはインバータ71, 72, アンドゲート73~76およびオアゲート77, 78からなる。

【0064】次に動作について説明する。外部クロック信号6を与える以前に、選択信号18を強制的にアップ信号Uとダウン信号Dを出力し続ける状態、つまりハイレベルの電圧に設定する。これによってセレクト回路17aの出力信号U2はローレベル電圧、出力信号D2はハイレベル電圧を示し、上記出力9の制御電圧は、チャージポンプ回路2を構成するトランジスタのオン抵抗比で決まる電圧に瞬時に上昇し、それに伴い電圧制御発振回路4の発振周波数も目標となる周波数近傍にまで高くなる。

【0065】制御電圧の値は、例えば図14のPMOSトランジスタとNMOSトランジスタのオン抵抗が等しければ、電源電圧の1/2の電圧になる。適当な期間の後に選択信号18を通常動作の状態に切り替え、外部クロック信号6を入力して位相同期ループ回路装置を動作させる。このとき、すでに発振周波数が外部クロック周波数近傍にまで到達しており、図15中の*印の期間の動作を行なわないでよいので、位相同期を完了させるまでに要する期間は大幅に短縮される。

【0066】実施例4. 図7は請求項4の発明の一実施例を示す位相比較器の回路図であり、図において、51, 52は2入力NANDゲート、53は2入力NORゲート、54~58はインバータ回路であり、2入力NANDゲート51, 52, 2入力NORゲート53, インバータ回路54を含むゲート回路27Aが図17に示す4入力NANDゲート27に相当している。また61~63はキャパシタンス、20は接地電位である。なお、その他の部分は図17と同一であるため、その重複する説明を省略する

【0067】この実施例においては、従来例のゲート21より直接ゲート28へ至る経路およびゲート26より直接ゲート29へ至る経路にインバータ回路55, 56および57, 58を挿入するとともに、このうちのインバータ回路55, 57の出力側にキャパシタンス61, 62を接続し、この容量値を変更することで、ゲート21よりゲート28へ至る経路およびゲート26よりゲート29へ至る経路の遅延を所望の値に調整して、図19で説明したゲート28およびゲート29の出力電位がロー状態へそれぞれ遷移する時間を設定している。

【0068】次に、従来例におけるゲート21（またはゲート26）より4入力NANDゲート27を経由してゲート28（またはゲート29）へ至る経路には、図18の4入力NANDゲート27および遅延手段40の代わりに、2入力NANDゲート51, 52, 2入力NO

10

20

30

40

50

Rゲート53, インバータ回路54からなる複合ゲート群のゲート回路27Aを接続し、このうちの2入力NORゲート53の出力側に容量63を接続し、この容量値を変更することで、ゲート21（またはゲート26）よりゲート回路27Aを経由してゲート28（またはゲート29）へ至る経路の遅延を、ゲート21よりゲート28へ至る経路およびゲート26よりゲート29へ至る経路の遅延値とは別の値に調整して、図19で説明したゲート28およびゲート29の出力電位が再びハイ状態へ遷移する時間を設定している。

【0069】従って、この発明によれば、出力されるアップ信号U、ダウン信号Dのうち、位相差を検出している方のパルス幅を正確に入力信号間の位相差と等しくすることができ、また位相差を検出していない方のパルス幅を極めて狭い幅に調整することができるので、位相比較器1の不感域の発生を防止しつつ、次段のチャージポンプ回路2の内部を貫通する電荷量を無視できる程度に抑えることができる。

【0070】さらに、従来例で使用されていた4入力NANDゲート27はNMOSが4個直列に接続されているため、電源電圧の低下とともに遅延値が4つの入力で大きく異なってくるという問題があったが、この実施例では2入力NANDゲート51, 52, 2入力NORゲート53, インバータ回路54からなる複合ゲート群で構成したことで、低電圧下でもゲート21からの遅延とゲート26からの遅延との差が異ならないようにできるという効果も期待できる。

【0071】なお、図7では、キャパシタンス61をインバータ回路55の出力側に、キャパシタンス62をインバータ回路57の出力側に、キャパシタンス63を2入力NORゲート53の出力側に、それぞれ接続する場合を示したが、キャパシタンス61をインバータ回路56の出力側に、キャパシタンス62をインバータ回路58の出力側に、キャパシタンス63をインバータ回路54の出力側に接続してもよく、またキャパシタンス63を2等分して2入力NANDゲート51, 52の出力側にそれぞれ接続してもよい。

【0072】実施例5. また、図7の構成では、2入力NANDゲート21, 22の出力を2入力NANDゲート51の入力側に接続し、2入力NANDゲート25, 26の出力を2入力NANDゲート52の入力側に接続する場合を示したが、2入力NANDゲート22と25の接続を入れ替えてもよい。この場合を図8で説明する。この実施例では上記2入力NANDゲート51, 52に対応するものが2入力NANDゲート59, 60であり、その他の部分は図10と同一である。

【0073】この実施例では、入力信号の変化を受けて、アップ信号U、ダウン信号Dを再びハイ状態へと遷移させる経路上には、2入力NANDゲート59が必ず入り、2入力NANDゲート60は関係しない。従っ

て、この経路の遅延を調整するキャパシタンス63は、2入力NORゲート53の出力側、インバータ回路54の出力側だけでなく、2入力NANDゲート59の出力側に接続させてもよい。

【0074】また、2入力NANDゲート60の遅延は律則しないので、2入力NANDゲート60を構成するトランジスタサイズ、および2入力NANDゲート60の出力と接続している2入力NORゲート53のNMOSのサイズを小さくすることができる。

10 【0075】実施例6. なお、図7に示す実施例では回路の内部に遅延を調整するキャパシタンス61, 62, 63を設けた場合を示したが、これらのキャパシタンス61, 62, 63は、次段の入力容量であってもよい。このような構成例を次に説明する。

【0076】図9は請求項5の発明の一実施例の位相比較器を示す回路図であり、図において、201~208はPMOSTランジスタ、211~218はNMOSTランジスタ、30は電圧供給源であり、これらはゲート回路28A, 29Aをそれぞれ構成し、図7に示した3入力NANDゲート28, 29に対応している。なお、その他の部分は図7と同一であり、ここではその重複する説明を省略する。

【0077】図9の構成例では、ゲート回路28A, 29Aの回路内部にPMOSTランジスタ202, 206, NMOSTランジスタ213, 217を追加している。このうちPMOSTランジスタ202のゲート容量が図7のキャパシタンス61に、PMOSTランジスタ206のゲート容量が図7のキャパシタンス62に、NMOSTランジスタ213および217のゲート容量が図7のキャパシタンス63に、それぞれ対応している。この理由を次に説明する。

【0078】ゲート回路28A, 29Aの回路内部では、インバータ回路56, 58がハイ状態に変化するのを受けて、PMOSTランジスタ201, 202, 205, 206がオフ、NMOSTランジスタ211, 215がオンする結果、アップ信号U、ダウン信号Dの電位がロー状態へと遷移し、次にインバータ回路54がロー状態に変化するのを受けて、NMOSTランジスタ212, 213, 216, 217がオフ、PMOSTランジスタ203, 207がオンする結果、アップ信号U、ダウン信号Dの電位を再びハイ状態へと遷移する。

【0079】従って、アップ信号U、ダウン信号Dの電位が遷移する速さは、NMOSTランジスタ211, 215、およびPMOSTランジスタ203, 207の充放電する電流量に左右され、PMOSTランジスタ201, 202, 205, 206, NMOSTランジスタ212, 213, 216, 217が充放電する電流量にはほとんど関係しない。

【0080】一方、インバータ回路56がハイ状態に変化する時の遅延はPMOSTランジスタ201, 20

2, NMOSトランジスタ211のゲート容量を充放電する時間に左右され、またインバータ回路58がハイ状態に変化する時の遅延はPMOSトランジスタ205, 206, NMOSトランジスタ215のゲート容量を充放電する時間に左右される。

【0081】そこで、図7に示したキャパシタンス61に相当するゲート容量を持ったPMOSトランジスタ202, キャパシタンス62に相当するゲート容量を持ったPMOSトランジスタ206を追加し、このトランジスタサイズを変更するようにしても、アップ信号U, ダウン信号Dがロー状態へ遷移する速さは変えずに、ロー状態へ遷移するタイミングのみを調整できる。

【0082】同様に、インバータ回路54がハイ状態に変化する時の遅延は、PMOSトランジスタ203, 207, NMOSトランジスタ212, 213, 216, 217のゲート容量を充放電する時間に左右されるので、図7に示したキャパシタンス63の半分に相当するゲート容量を持ったNMOSトランジスタ213および217を追加し、これらのトランジスタサイズを変更すれば、アップ信号U, ダウン信号Dがハイ状態へ遷移する速さは変えずに、再びハイ状態へ遷移するタイミングのみを調整することができる。

【0083】なお、図9の例では、PMOSトランジスタ201と202, PMOSトランジスタ205と206, NMOSトランジスタ212と213, NMOSトランジスタ216と217をそれぞれ別にして並列に接続した場合を示したが、これらは、それぞれ1つのトランジスタで構成し、そのサイズを調整するようにしても同様の効果が期待できる。

【0084】実施例7. 図10は請求項6の発明の一実施例を示す位相比較器の回路図であり、図において、40は遅延手段、18は選択信号、117はセクタ回路である。なお、その他の部分は図18と同一であるため、その重複する説明を省略する。

【0085】図10は、位相同期ループ回路装置の同期時間の短縮を実現するために、図12に示す回路の位相比較器1として使用されるものであり、4入力NANDゲート27の出力には遅延手段40が接続されており、4入力NANDゲート27の出力と、遅延手段40を経由した出力とを、セクタ回路117で選択できるようになっている。テスト時には選択信号18の電位を切り換えることによって、4入力NANDゲート27の出力信号が遅延手段40を経由し、3入力NANDゲート28, 29に伝達される。

【0086】この図10の回路の動作は、図19にて説明した動作と同様である。すなわち、遅延手段40の挿入によって、アップ信号U, ダウン信号Dがロー状態からハイ状態へ立ち上がるタイミングが遅れ、アップ信号U, ダウン信号Dのパルス幅が広がる。

【0087】そこで、この遅延手段40の遅延値を充分

大きく取れば、非同期状態で検出されるべき位相差と比べてパルス幅はどちらも格段に広がるため、チャージポンプ回路2に印加されたときに、チャージポンプ回路2内部を貫通する期間が長くなり、ループフィルタ3の入力電位を電源電圧の約1/2の電位に固定した状態となる結果、位相同期ループ回路の同期時間を短縮する。

【0088】ループフィルタ3のキャパシタンスCに電源電圧の1/2程度の電位が蓄積された後は、選択信号18を切り換え、遅延手段40を経由しないようにすれば、位相同期ループ回路が出力するクロックの動作を狂わせることはない。

【0089】なお、この図10の回路構成では、外部クロック信号6と内部クロック信号7の周波数が異なると、両者の位相差は大きく離れる場合も生じ、この差が出力パルスの幅に加わる結果、遅延手段40の挿入時のアップ信号Uとダウン信号Dのパルス幅は同じにはならない。

【0090】この点を改良した例を図11に示す。この構成例では、入力端子36に上記セクタ回路117と同様のセクタ回路118を接続して、選択信号18と連動させ、通常動作の時は内部クロック信号7がゲート26に供給され、テスト時には外部クロック信号6がゲート26に供給されるようにしている。

【0091】これによれば、遅延手段40の挿入時のゲート21と26の入力位相差はほぼ0になるので、このときのアップ信号Uとダウン信号Dのパルス幅は同じ値となって、外部クロック信号6と内部クロック信号7が非同期であるにもかかわらず、ループフィルタの入力電位を正確に電源電圧の1/2の電位に固定することができる。

【0092】

【発明の効果】以上のように、請求項1の発明によれば、ループフィルタの出力端にバイアス電圧を供給するバイアス電圧供給回路を備え、チャージポンプ回路には電荷の供給の可否を切り替える制御信号を入力可能に構成したので、バイアス電圧供給時のチャージポンプ回路における無駄な電流パスをなくして、制御電圧を効率的に上昇させることができるものが得られる効果がある。

【0093】請求項2の発明によれば、ループフィルタを構成する抵抗とキャパシタンスの接続点にバイアス電圧を供給するバイアス電圧供給回路を設けるように構成したので、バイアス電圧をループフィルタのキャパシタンスに直接供給することによって、制御電圧を外部クロック周波数に相当するレベルにさらに速やかに到達させることができるものが得られる効果がある。

【0094】請求項3の発明によれば、選択信号の入力により強制的にチャージポンプ回路に入るアップ信号またはダウン信号を切り替える選択回路を設けるように構成したので、セクタ回路にて選択したローレベルの電位またはハイレベルの電位によってチャージポンプ回路

の動作を強制的に制御することで、速やかに電圧制御発振回路の発振周波数を外部クロック周波数付近に到達させて、位相同期完了までの期間を大幅に短縮させることができるものが得られる効果がある。

【0095】請求項4の発明によれば、位相差を検出し出力されるパルス信号の電位変化において、最初の変化を入力信号の変化より伝える一対の伝達経路上に、インバータ回路を夫々2個直列に挿入し、かつ上記インバータ回路のうち夫々1つの遅延を任意の値に設定できるよう、第1および第2のキャパシタンスを上記インバータ回路のうち夫々1つに1つずつ接続するとともに、上記パルス信号の2番目の変化を上記入力信号の変化より伝える伝達経路上のゲート回路を、2入力NANDゲート、2入力NORゲート、インバータ回路からなる複合ゲート群で構成し、かつ上記複合ゲート群のうち1つの遅延を任意の値に設定できるよう、第3のキャパシタンスを上記複合ゲート群のうちの1つに接続するように構成したので、位相不感域の発生を防止するとともに、次段のチャージポンプ回路内部を貫通する電荷量を抑えることができるものが得られる効果がある。

【0096】請求項5の発明によれば、一対のインバータ回路のうちの一つの遅延および複合ゲートの遅延を、トランジスタサイズの調整によるゲート容量変化により任意に選択可能にするゲート回路を、出力端子側に設けるように構成したので、2つの出力端子側に設けられたゲート回路を構成するトランジスタのサイズを調整することで、アップ信号、ダウン信号がロー状態やハイ状態へ遷移する速さを変えずに、その遷移するタイミングを調整できるものが得られる効果がある。

【0097】請求項6の発明によれば、外部クロック信号と内部クロック信号との位相差を比較検出する回路において、選択信号の切り替えによって、4入力NANDゲートの出力を直接に、または遅延手段を介して出力側の3入力NANDゲートに選択的に入力可能に構成したので、ループフィルタの入力電位を電源電圧の1/2に固定することで、同期時間の短縮化を図れるものが得られる効果がある。

【図面の簡単な説明】

【図1】請求項1の発明の一実施例による位相同期ループ回路装置を示すブロック図である。

【図2】図1のブロック各部の信号を示すタイミングチャートである。

【図3】図1におけるチャージポンプ回路の詳細を示す回路図である。

【図4】請求項2の発明の一実施例による位相同期ループ回路装置を示すブロック図である。

【図5】請求項3の発明の一実施例による位相同期ループ回路装置を示すブロック図である。

【図6】図5のセレクト回路の詳細を示す回路図である。

【図7】請求項4の発明の一実施例による位相比較器を示す回路図である。

【図8】請求項4の発明の他の実施例による位相比較器を示す回路図である。

【図9】請求項5の発明の一実施例による位相比較器を示す回路図である。

【図10】請求項6の発明の一実施例による位相比較器を示す回路図である。

10 【図11】請求項6の発明の他の実施例による位相比較器を示す回路図である。

【図12】従来の位相同期ループ回路装置を示すブロック図である。

【図13】図12における電圧制御発振回路のゲイン特性を示すゲイン特性図である。

【図14】図12におけるチャージポンプ回路の詳細を示す回路図である。

【図15】位相同期中の発振周波数の時間変化を示す回路図である。

20 【図16】図12のブロック各部の信号を示すタイミングチャートである。

【図17】従来の位相比較器を示す回路図である。

【図18】位相比較器の他の従来例を示す回路図である。

【図19】図17の回路各部の信号を示すタイミングチャートである。

【符号の説明】

1 位相比較器

2 チャージポンプ回路

3 ループフィルタ

30 4 電圧制御発振回路

6 外部クロック信号

7 内部クロック信号

U アップ信号

D ダウン信号

R 抵抗

C キャパシタンス

B バイアス電圧供給回路

16 制御信号

17a, 17b, 117 セレクト回路

40 18 選択信号

35, 36 入力端子

37, 38 出力端子

40 遅延手段

54~58, 41~44 インバータ回路

21~26, 51, 52, 59, 60 2入力NANDゲート

53 2入力NORゲート

28, 29 3入力NANDゲート

27 4入力NANDゲート

50 61~63 キャパシタンス

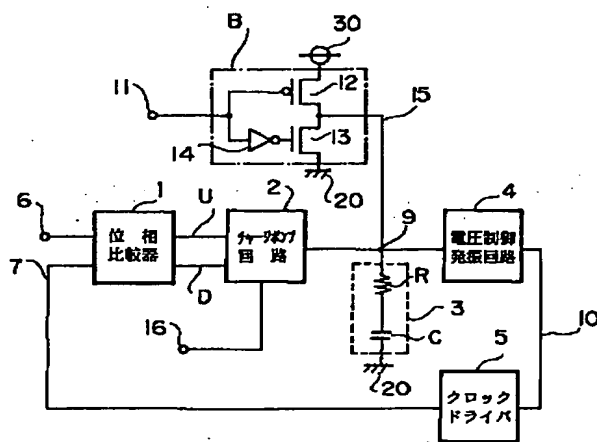
201~208 PMOSトランジスタ (トランジスタ)

タ)

27A, 27B, 28A, 29A ゲート回路

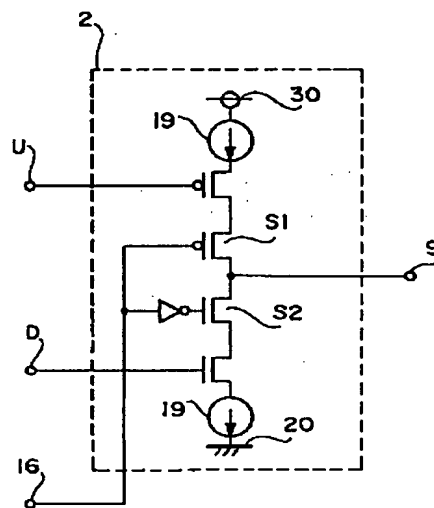
211~218 NMOSトランジスタ (トランジスタ)

【図1】

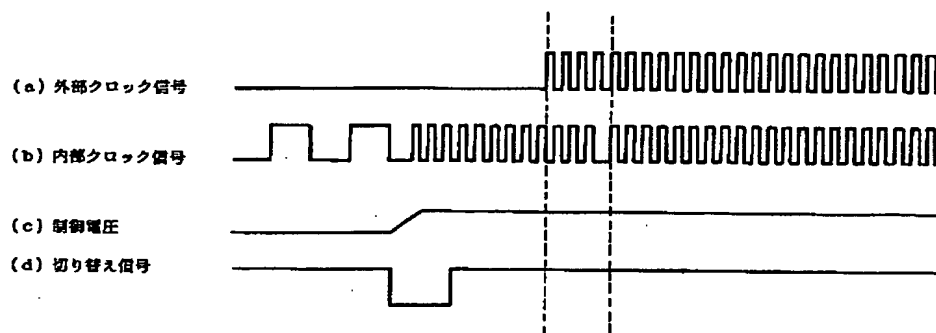


3: ループフィルタ
6: 外部クロック信号
7: 内部クロック信号
16: 制御信号
U: アップ信号
D: ダウン信号
R: 抵抗
C: キャパシタンス
B: バイアス電圧供給回路

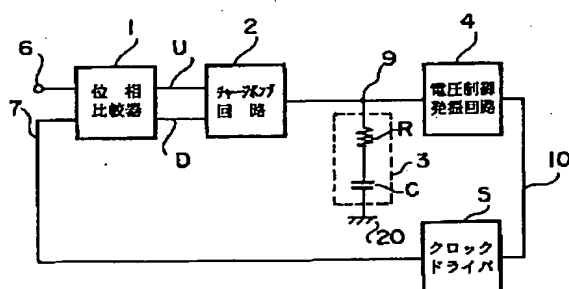
【図3】



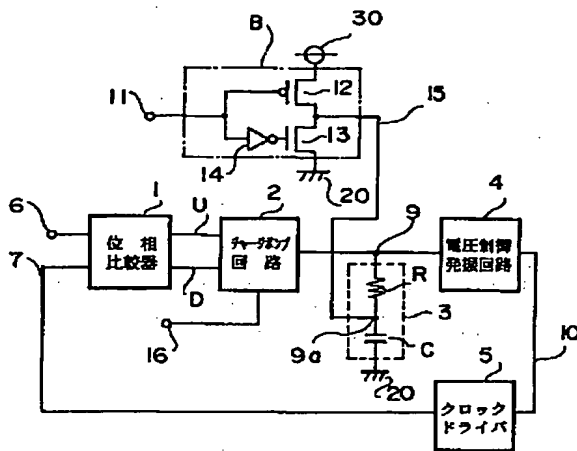
【図2】



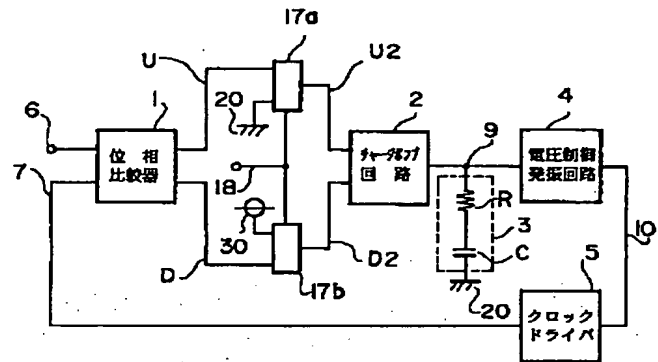
【図12】



【図4】

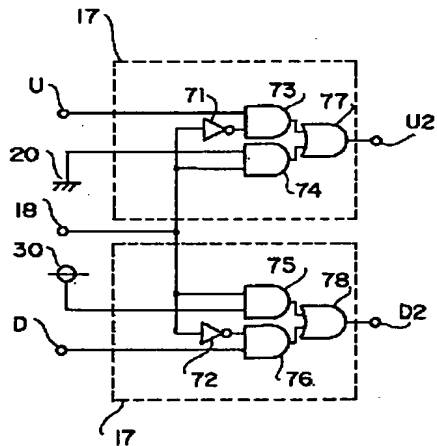


【図5】

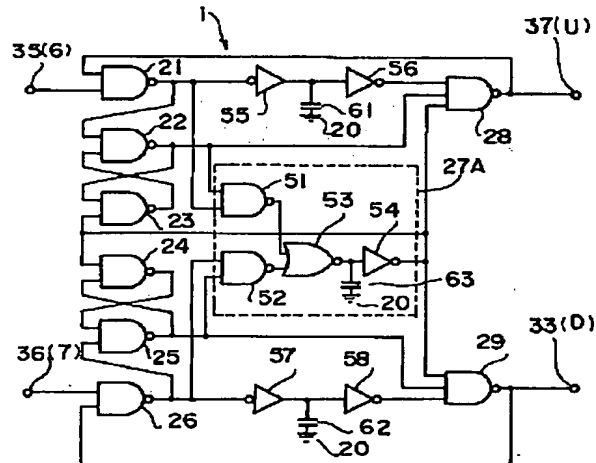


17a, 17b: セレクト回路
18: 選択信号

【図6】

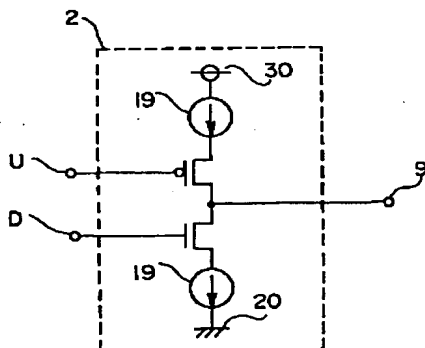


【図7】

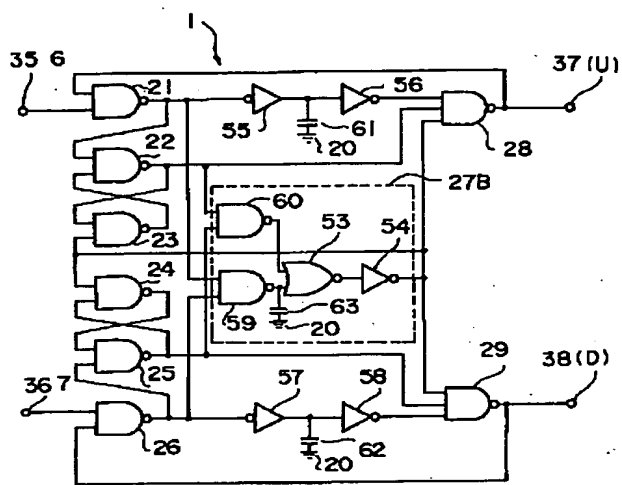


21~26: 2入力NANDゲート
27A: ゲート回路
28, 29: 3入力NANDゲート
35, 36: 入力端子
37, 38: 出力端子
51, 52: 2入力NANDゲート
53: 2入力NORゲート
54~58: インバータ回路

【図14】

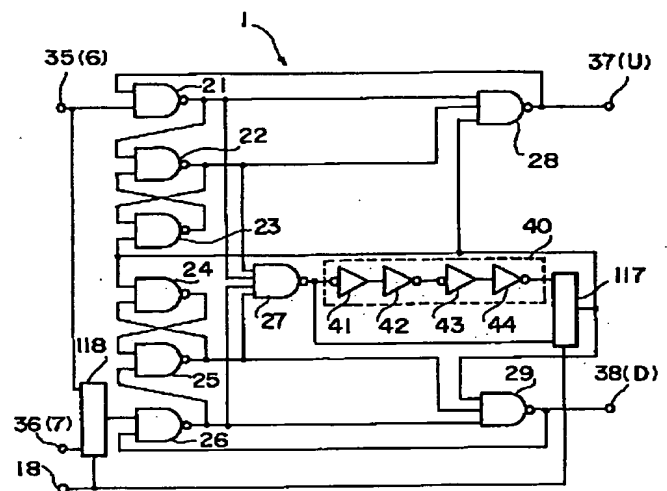


【図8】

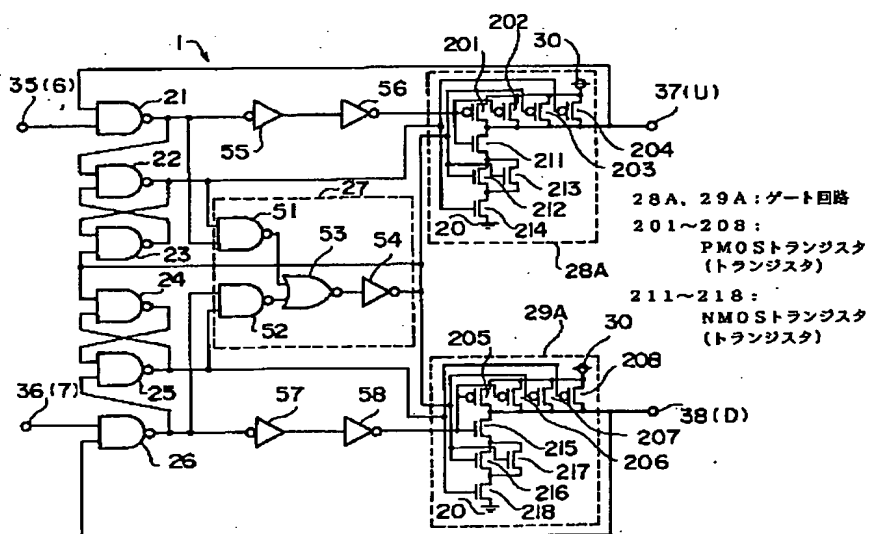


27B: ゲート回路
 59, 60: 2入力NANDゲート
 61~63: キャパシタンス

【図11】



【図9】

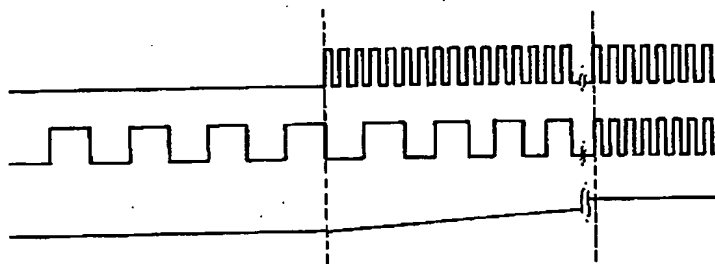


【図16】

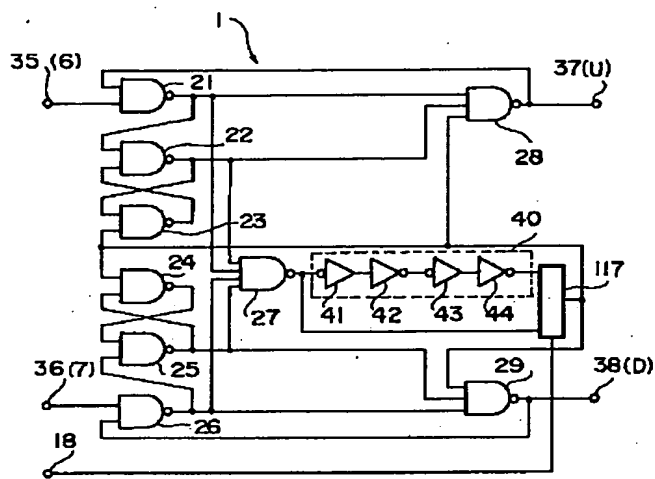
(a) 外部クロック信号

(b) 内部クロック信号

(c) 制御電圧

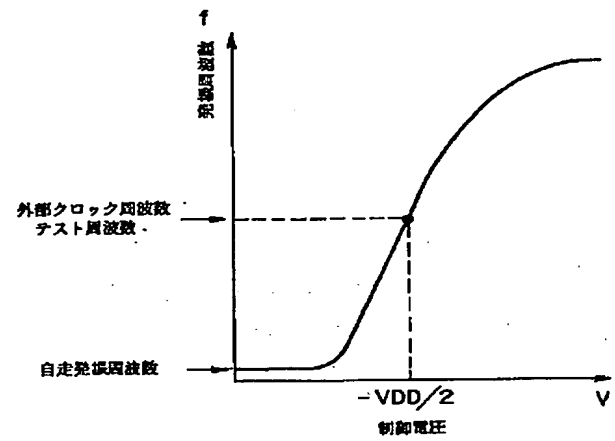


【図10】

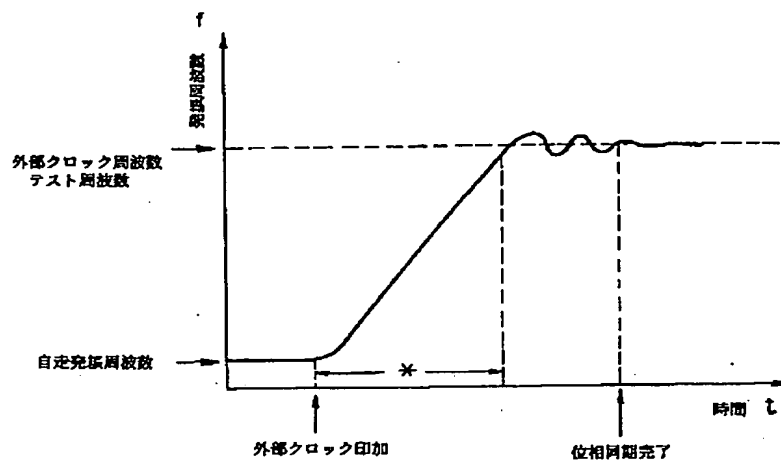


27: 4入力NANDゲート
 40: 遅延手段
 41~44: インバータ回路
 117: セレクタ回路

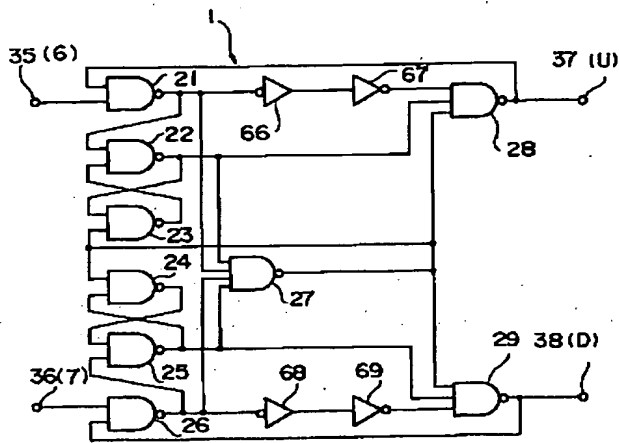
【図13】



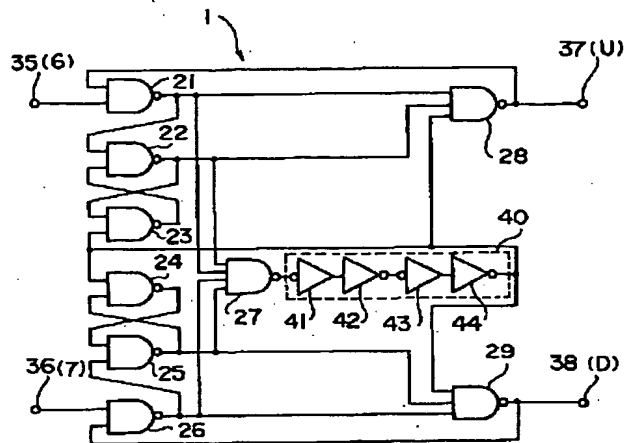
【図15】



【図17】



【図18】



【図19】

